

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-155149

(43)Date of publication of application : 06.06.2000

(51)Int.CI.

G01R 31/02

G01R 1/06

G01R 31/28

G01R 31/302

H05K 3/00

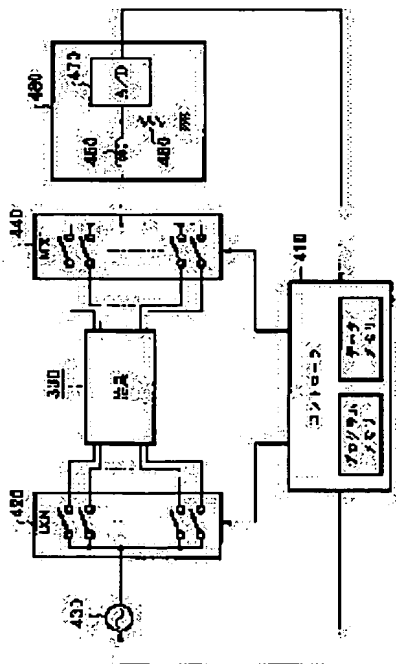
(21)Application number : 10-329842

(71)Applicant : OKANO HIGHTECH KK

(22)Date of filing : 19.11.1998

(72)Inventor : YAMAOKA HIDEJI

(54) DEVICE, METHOD, JIG FOR INSPECTING CIRCUIT BOARD CONTINUITY, AND RECORDING MEDIUM



(57)Abstract:

PROBLEM TO BE SOLVED: To improve S/N ratio by decreasing the impedance of a current path to be inspected.

SOLUTION: At one of both terminals of a pattern line on a substrate to be inspected, a coupling capacitor is formed without contacting, and an inductance 450 and a lead line are connected to the capacitor. The other terminal is applied with an AC inspecting signal by means of contact method via a lead wire. A resonance circuit is formed of the capacitor, an inductance 450 and a pattern line, and with the inductance lowered, an output signal is detected.

LEGAL STATUS

[Date of request for examination] 16.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3311698

[Date of registration] 24.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-155149
(P2000-155149A)

(43) 公開日 平成12年6月6日 (2000.6.6)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 1 R 31/02		G 0 1 R 31/02	2 G 0 1 1
1/06		1/06	E 2 G 0 1 4
31/28		H 0 5 K 3/00	T 2 G 0 3 2
31/302		G 0 1 R 31/28	K
H 0 5 K 3/00			L

審査請求 未請求 請求項の数29 O L (全 13 頁)

(21) 出願番号 特願平10-329842
(22) 出願日 平成10年11月19日 (1998. 11. 19)

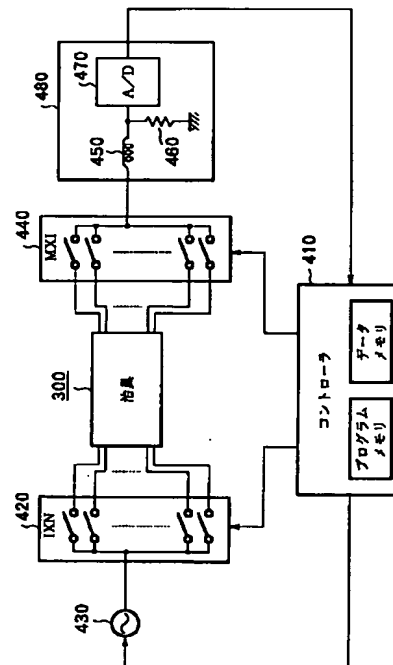
(71) 出願人 594157142
オー・エイチ・ティー株式会社
広島県深安郡神辺町字西中条1118番地の1
(72) 発明者 山岡 秀嗣
広島県深安郡神辺町字西中条1118番の1
オー・エイチ・ティー株式会社内
(74) 代理人 100076428
弁理士 大塚 康徳 (外1名)
Fターム(参考) 2G011 AA01 AA02 AA15 AB01 AC09
AC33 AD01 AE01 AF06
2G014 AA13 AB59 AC10
2G032 AC03 AD01 AD04 AD07 AD08
AE08 AE12 AF02 AF09 AF10
AG09 AH02 AH03 AK04 AL04

(54) 【発明の名称】 回路基板の導通検査装置、導通検査方法、導通検査用治具および記録媒体

(57) 【要約】

【課題】 検査対象の電流路におけるインピーダンスを下げることによって、SN比を向上させた回路基板導通検査装置および方法を提案する。

【解決手段】 検査対象の基板上的パターン線の両端子の一方に非接触で結合容量を形成し、この容量にインダクタンス(450)とリード線とを接続する。他方の端子には、リード線を介してコンタクト方式で交流検査信号を印加する。容量、インダクタンス、パターン線とで共振回路が形成され、インピーダンスダンスを下げた状態で、出力信号を検出する。



【特許請求の範囲】

【請求項1】 第1と第2の端子を基板上に有するパターン線が設けられた基板の、前記第1と第2の端子間の導通を検査する導通検査装置において、
前記第1の端子と、非接触方式で結合容量を有して容量結合する容量結合手段と、

この容量結合手段の容量と共振回路を形成すべく、前記容量結合手段に接続された誘導性素子と、

この誘導性素子に接続された第1のリード線と、
第2のリード線に接続され前記第2の端子に接触するブローブ手段と、

前記第1のリード線と第2のリード線のいずれか一方に、交流成分を含む検査信号を入力する信号入力手段と、

前記第1のリード線と第2のリード線のいずれか他方に、前記検査信号の出力を検出する信号検出手段とを具備することを特徴とする回路基板の導通検査装置。

【請求項2】 第1と第2の端子を基板上に有するパターン線が設けられた基板の、前記第1と第2の端子間の導通を検査する導通検査装置において、

前記第1の端子に直接接触するブローブ手段と、

このブローブ手段に接続された誘導性素子と、

この誘導性素子に接続された第1のリード線と、

第2のリード線に接続され、前記第2の端子と非接触方式で結合容量を有して容量結合する容量結合手段と、

前記第1のリード線と第2のリード線のいずれか一方に、交流成分を含む検査信号を入力する信号入力手段と、

前記第1のリード線と第2のリード線のいずれか他方に、前記検査信号の出力を検出する信号検出手段とを具備することを特徴とする回路基板の導通検査装置。

【請求項3】 第1と第2の端子を基板上に有するパターン線が設けられた基板の、前記第1と第2の端子間の導通を検査する導通検査装置において、

前記第1の端子と非接触方式で結合容量を有して容量結合する第1の容量結合手段と、

この第1の容量結合手段の容量と共振回路を形成すべく、前記第1の容量結合手段に接続された誘導性素子と、

この誘導性素子に接続された第1のリード線と、

第2のリード線に接続され、前記第2の端子に非接触方式で結合容量を有して容量結合する第2の容量結合手段と、

前記第1のリード線と第2のリード線のいずれか一方に、交流成分を含む検査信号を入力する信号入力手段と、

前記第1のリード線と第2のリード線のいずれか他方に、前記検査信号の出力を検出する信号検出手段とを具備することを特徴とする回路基板の導通検査装置。

【請求項4】 所定距離離間された第1の端子群と第2

の端子群とが設けられた導通検査用治具であって、

前記第1の端子群の夫々または一部の第1の端部には、導通検査用の検査信号を印加できるように、リード線が接続され、

前記第1の端子群の夫々または一部の第2の端部には検査対象の基板にコンタクトするための接触部が夫々設けられ、

前記第2の端子群の夫々または一部には1つまたは複数の誘導性素子が接続され、

10 前記第2の端子群の夫々または一部の第2の端部には、前記検査対象の基板の配線パターンと非接触で結合容量を形成するための電極が夫々設けられたことを特徴とする導通検査用治具。

【請求項5】 前記容量結合手段は、

前記誘導性素子に接続された平板電極であって、前記第1の端子との間で容量を形成すべく、主面が前記第1の端子に向けられて設けられた第1の平板電極とを有することを特徴とする請求項1または2に記載の回路基板の導通検査装置。

20 【請求項6】 前記第1の容量結合手段は、

前記誘導性素子に接続された平板電極であって、前記第1の端子との間で容量を形成すべく、主面が前記第1の端子に向けられて設けられた第1の平板電極とを有することを特徴とする請求項3に記載の回路基板の導通検査装置。

【請求項7】 前記第2の容量結合手段は、

30 前記第2の端子との間で容量を形成すべく、主面が前記第2の端子に向けられて設けられた第2の平板電極とを有することを特徴とする請求項3に記載の回路基板の導通検査装置。

【請求項8】 前記ブローブ手段は、

前記第2のリード線に接続され、前記第2の端子に直接抵抗的に接続されると共に取り外し自在なブローブを有することを特徴とする請求項1に記載の回路基板の導通検査装置。

【請求項9】 前記ブローブ手段は、

40 前記第1のリード線に接続され、前記第2の端子に直接抵抗的に接続されると共に取り外し自在なブローブを有することを特徴とする請求項2に記載の回路基板の導通検査装置。

【請求項10】 前記検査信号は交流信号であることを特徴とする請求項1乃至8のいずれかに記載の回路基板の導通検査装置。

【請求項11】 前記検査信号はパルス信号であることを特徴とする請求項1乃至8のいずれかに記載の回路基板の導通検査装置。

【請求項12】 前記基板には複数のパターン線が敷設され、個々のパターン線は第1の端子群と第2の端子群とを有し、

50 前記第1の端子群の中から目的の前記第1の端子を選択

し、選択された前記第1の端子を前記誘導性素子に接続するための選択手段を更に具備したことを特徴とする請求項1乃至3のいずれかに記載の回路基板の導通検査装置。

【請求項13】 前記選択手段は、複数のアナログスイッチを有するマルチプレクサ回路であることを特徴とする請求項12に記載の回路基板の導通検査装置。

【請求項14】 前記マルチプレクサは、選択されなかった端子の出力を接地するスイッチを更に有することを特徴とする請求項13に記載の回路基板の導通検査装置。

【請求項15】 前記基板には複数のパターン線が敷設され、個々のパターン線は第1の端子群と第2の端子群とを有し、前記第2の端子群の中から目的の前記第2の端子を選択し、選択された前記第2の端子を前記第2のリード線に接続するための選択手段を更に具備したことを特徴とする請求項1乃至3のいずれかに記載の回路基板の導通検査装置。

【請求項16】 前記選択手段は、複数のアナログスイッチを有するマルチプレクサ回路であることを特徴とする請求項15に記載の回路基板の導通検査装置。

【請求項17】 前記マルチプレクサは、選択されなかった端子の出力を接地するスイッチを更に有することを特徴とする請求項16に記載の回路基板の導通検査装置。

【請求項18】 第1と第2の端子を基板上に有するパターン線が設けられた基板の、前記第1と第2の端子間の導通を検査する導通検査方法において、前記第1の端子に所定の電極を近接させて結合容量を形成し、前記電極に所定の誘導性素子を接続し、この誘導性素子に第1のリード線を接続し、前記第2の端子に第2のリード線を接続することにより、前記第1のリード線、誘導性素子、電極、結合容量、第1の端子、パターン線、第2の端子、第2のリード線とにより共振回路を形成する工程と、前記第1のリード線と第2のリード線のいずれか一方に交流成分を含む検査信号を印加する印加工程と、前記第1のリード線と第2のリード線のいずれか他方において、前記検査信号の出力を検出する検出工程とを具備することを特徴とする回路基板の導通検査方法。

【請求項19】 第1と第2の端子を基板上に有するパターン線が設けられた基板の、前記第1と第2の端子間の導通を検査する導通検査方法において、前記第1の端子に誘導性素子を介して第1のリード線を直接接合させ、第2のリード線を前記第2の端子と非接触方式で結合容量を有して容量結合させることにより、前記第1のリード線、誘導性素子、第1の端子、パターン線、第2の端子、電極、結合容量、第2のリード線とにより共振回路を形成する工程と、

前記第1のリード線と第2のリード線のいずれか一方に交流成分を含む検査信号を印加する印加工程と、前記第1のリード線と第2のリード線のいずれか他方において、前記検査信号の出力を検出する検出工程とを具備することを特徴とする回路基板の導通検査方法。

【請求項20】 第1と第2の端子を基板上に有するパターン線が設けられた基板の、前記第1と第2の端子間の導通を検査する導通検査方法において、

第1のリード線に接続された誘導性素子を第1の電極を介して前記第1の端子と非接触方式で容量結合させ、第2のリード線を第2の電極を介して前記第2の端子と非接触方式で容量結合させることにより、前記第1のリード線、誘導性素子、第1の電極、結合容量、第1の端子、パターン線、第2の端子、第2の電極、結合容量、第2のリード線とにより共振回路を形成する工程と、前記第1のリード線と第2のリード線のいずれか一方に交流成分を含む検査信号を印加する印加工程と、前記第1のリード線と第2のリード線のいずれか他方において、前記検査信号の出力を検出する検出工程とを具備することを特徴とする回路基板の導通検査方法。

【請求項21】 前記検査信号は交流信号であることを特徴とする請求項18乃至21のいずれかに記載の回路基板の導通検査方法。

【請求項22】 前記検査信号はパルス信号であることを特徴とする請求項18乃至21のいずれかに記載の回路基板の導通検査方法。

【請求項23】 前記基板には複数のパターン線が敷設され、個々のパターン線は第1の端子群と第2の端子群とを有し、

前記第1の端子群の中から目的の前記第1の端子を選択し、選択された前記第1の端子を前記誘導性素子に接続することを特徴とする請求項18乃至20のいずれかに記載の回路基板の導通検査方法。

【請求項24】 更に、基準周波数決定工程を有し、この基準周波数決定工程は、前記印加工程に先立って、所定の基準基板に対して前記検査信号の周波数を変更しながら印加することにより、前記基準基板の第1の端子と第2の端子間のパターン線についての共振周波数を決定する決定工程を有し、

前記印加工程は、この共振周波数を検査信号の周波数として、第1のリード線と第2のリード線のいずれか一方に印加することを特徴とする請求項18乃至23のいずれかに記載の回路基板の導通検査方法。

【請求項25】 前記決定工程においては、前もって前記誘導性素子の定数に基づいて決定した標準周波数を中心にした所定範囲内で、基準基板用の検査信号の周波数を変動させることを特徴とする請求項18乃至24のいずれかに記載の回路基板の導通検査方法。

【請求項26】 前記印加工程においては、前記決定工

10

20

30

40

50

程において決定された周波数を中心にした所定範囲内で、検査対象の基板用の検査信号の周波数を変動させることを特徴とする請求項25に記載の回路基板の導通検査方法。

【請求項27】 検査信号の周波数を変更する手段を更に具備することを特徴とする請求項1乃至17のいずれかに記載の回路基板の導通検査装置。

【請求項28】 請求項18乃至26のいずれかに記載の導通検査方法を実現するコンピュータプログラムを記憶するコンピュータ可読の記録媒体。

【請求項29】 第1と第2の端子を基板上に有するパターン線が密に設けられた基板の、前記第1と第2の端子間の導通を検査する導通検査装置において、前記パターン線との間の結合容量が50fF乃至1pFの範囲内に入るような大きさを有するセンサ電極と、前記センサ電極と並列若しくは直列に接続され、20mH乃至25μHの範囲のいずれかの定数を有する誘導素子と、5MHz～10MHzの範囲内に収まる基準周波数で発振し、その基準周波数から所定の範囲内で変更可能な発振器とを具備する導通検査装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば微細な配線パターンを有する回路基板を検査するのに用いられる回路基板の導通検査装置、その方法、更に、その検査に用いる治具に関する。

【0002】

【従来の技術】回路基板を検査する方式に、ピンコンタクト方式と非接触方式とがあることが知られている。ピンコンタクト方式は、第1図に示すように、検査対象の導体パターンの両端にピンプローブをそれぞれ直接接触させ、一方のピンプローブに電流を流して他方のピンプローブで検出された電圧値から、当該導体パターンの抵抗値を求めることにより、両端間の導通検査を行うものである。

【0003】このピンコンタクト方式は、直接ピンプローブを接触させるために、SN比が高いという長所を有する。しかしながら、その反面、ファインピッチの基板を検査することは、ピンをたてること自体が困難であり、また、ピンを目的のパターンに接触させるための位置決めも難しくなっていく。更に、接触させるためにピンプローブ自体が初期の精度を持つことが困難となって、プローブ交換によるランニングコストが発生するという欠点を有する。

【0004】一方の非接触-接触併用方式は、第2図に示すように、検査対象の導体パターンの一端をピンプローブを直接接触させ（または非接触で容量結合を介して）交流成分を含む検査信号を印加し、他端において容量結合を介して前記検査信号を検出するものである。この

非接触-接触併用方式は、パターン線の少なくとも一方の端部にはピンプローブを接触させる必要がないので、位置決め精度を粗くでき、ピンプローブを複数のパターン線について共通化できるので、ピンプローブの本数を削減でき、また、摩耗の心配のなので、そのためにパターン間が微細な基板に有効である。

【0005】

【発明が解決しようとする課題】しかしながら、非接触-接触併用方式は、結合容量の値が小さいので、インピーダンスが高く（数MΩから数GΩ）、そのために、10Ω～100Ω程度の不良箇所を検出することができないという欠点を有している。従って、従来では、非接触-接触併用方式は、数々の利点を有しているにも関わらず、インピーダンスが高いという性質のために、実際は、どうしてもピンプローブがたたないような極めて狭隘なピッチの基板にのみ実施されているのが実状であり、従って、ピンプローブおよびその治具に高精度のものが要求されるという点が非接触-接触併用方式のコスト低下の足かせとなっていた。

【0006】

【課題を解決するための手段】本発明の目的は、非接触方式により形成される容量が基板上に形成される回路の発振を共振させて、その回路のインピーダンスを下げることににより、高抵抗状態のみならず、低抵抗の導通状態をも検査できる導通検査装置を提案するものである。

【0007】本発明は、検査対象のパターンの一方の端部に電極を近接させて、その端部と電極間に容量Cを形成させ、更に、その容量Cに誘導性素子Lを接続する。上記パターン線の他方の端部にはピンプローブを介して交流成分を含む検査信号（周波数f）を印加する。Lを適当に調整して、共振回路のインピーダンスを下げたとき、例えば、下記（1）式が成立するようにLを調整したときには、

$$2f \cdot L = (1/2) f \cdot C \quad \dots (1)$$

が成立するから、

$$L = (1/4) \times f^2 \times C \quad \dots (2)$$

となり、換言すれば、（2）式のLを設定すれば、回路のインピーダンスはゼロとなり、出力電圧Vはこのとき最大値を示す。基準となる回路基板（断線などがなくことを確認された回路基板）を用いて共振周波数 f_0 を印加したときの出力電圧Vを V_0 とすると、実際の検査対象の回路基板を用いたときの出力電圧 V_x は、回路が共振状態に近づくことが予想されるから、大きな値を示すことが予想される。

【0008】共振させることのできる使用周波数 f_0 と誘導素子Lとの関係は、一例として結合容量Cの値を10fFとした場合には、

$$f_0 = 10\text{kHz} \text{ ならば } L = 25.3\text{kHz}, \text{ または}$$

$$f_0 = 10\text{MHz} \text{ ならば } L = 25\text{mH}, \text{ または}$$

$$f_0 = 50\text{MHz} \text{ ならば } L = 1\text{mH}, \text{ または}$$

$f_R = 100\text{MHz}$ ならば $L = 250\mu\text{H}$

となる。

【0009】共振を制御する要素として、入力の実験信号の周波数 f 、結合容量 C 、誘導素子のインダクタンス L 、があるが、例えば、電極の大きさを固定とし、測定に際して近接距離を一定とした場合には、容量 C は例えば約15fFとなることが予想される。このときには、誘導素子 L の値を、

$250\mu\text{H} \sim 1\text{mH}$ 程度

とし、

$50\text{MHz} \sim 100\text{MHz}$ 程度

の交流信号源を用意することで、インピーダンスを実質的にゼロとすることができる。

【0010】而して、請求項1に係る、第1と第2の端子を基板上に有するパターン線が設けられた基板の、前記第1と第2の端子間の導通を検査する導通検査装置は、前記第1の端子と、非接触方式で結合容量を有して容量結合する容量結合手段と、この容量結合手段の容量と共振回路を形成すべく、前記容量結合手段に接続された誘導性素子と、この誘導性素子に接続された第1のリード線と、第2のリード線に接続され前記第2の端子に接触するプローブ手段と、前記第1のリード線と第2のリード線のいずれか一方に、交流成分を含む検査信号を入力する信号入力手段と、前記第1のリード線と第2のリード線のいずれか他方に、前記検査信号の出力を検出する信号検出手段とを具備することを特徴とする。

【0011】誘導性素子の取り付け位置は種々変更できる。而して、請求項2に係る、第1と第2の端子を基板上に有するパターン線が設けられた基板の、前記第1と第2の端子間の導通を検査する導通検査装置は、前記第1の端子に直接接触するプローブ手段と、このプローブ手段に接続された誘導性素子と、この誘導性素子に接続された第1のリード線と、第2のリード線に接続され、前記第2の端子と非接触方式で結合容量を有して容量結合する容量結合手段と、前記第1のリード線と第2のリード線のいずれか一方に、交流成分を含む検査信号を入力する信号入力手段と、前記第1のリード線と第2のリード線のいずれか他方に、前記検査信号の出力を検出する信号検出手段とを具備することを特徴とする。

【0012】第1の端子と第2の端子の双方に結合容量を形成しても良い。而して、請求項3に係る、第1と第2の端子を基板上に有するパターン線が設けられた基板の、前記第1と第2の端子間の導通を検査する導通検査装置は、前記第1の端子と非接触方式で結合容量を有して容量結合する第1の容量結合手段と、この第1の容量結合手段の容量と共振回路を形成すべく、前記第1の容量結合手段に接続された誘導性素子と、この誘導性素子に接続された第1のリード線と、第2のリード線に接続され、前記第2の端子に非接触方式で結合容量を有して容量結合する第2の容量結合手段と、前記第1のリード

線と第2のリード線のいずれか一方に、交流成分を含む検査信号を入力する信号入力手段と、前記第1のリード線と第2のリード線のいずれか他方に、前記検査信号の出力を検出する信号検出手段とを具備することを特徴とする。

【0013】本発明の目的は、請求項4のように、所定距離離間された第1の端子群と第2の端子群とが設けられた導通検査用治具に依っても達成できる。この導通検査用治具は、前記第1の端子群の夫々または一部の第1の端部には、導通検査用の検査信号を印加できるように、リード線が接続され、前記第1の端子群の夫々または一部の第2の端部には検査対象の基板にコンタクトするための接触部が夫々設けられ、前記第2の端子群の夫々または一部には1つまたは複数の誘導性素子が接続され、前記第2の端子群の夫々または一部の第2の端部には、前記検査対象の基板の配線パターンと非接触で結合容量を形成するための電極が夫々設けられたことを特徴とする。

【0014】上記課題は、請求項18に係る導通検査方法に依っても達成できる。この方法は、第1と第2の端子を基板上に有するパターン線が設けられた基板の、前記第1と第2の端子間の導通を検査する導通検査方法であって、前記第1の端子に所定の電極を近接させて結合容量を形成し、前記電極に所定の誘導性素子を接続し、この誘導性素子に第1のリード線を接続し、前記第2の端子に第2のリード線を接続することにより、前記第1のリード線、誘導性素子、電極、結合容量、第1の端子、パターン線、第2の端子、第2のリード線とにより共振回路を形成する工程と、前記第1のリード線と第2のリード線のいずれか一方に交流成分を含む検査信号を印加する印加工程と、前記第1のリード線と第2のリード線のいずれか他方において、前記検査信号の出力を検出する検出工程とを具備することを特徴とする。

【0015】また、同目的を達成するための請求項19の、第1と第2の端子を基板上に有するパターン線が設けられた基板の、前記第1と第2の端子間の導通を検査する導通検査方法は、前記第1の端子に誘導性素子を介して第1のリード線を直接触接させ、第2のリード線を前記第2の端子と非接触方式で結合容量を有して容量結合させることにより、前記第1のリード線、誘導性素子、第1の端子、パターン線、第2の端子、電極、結合容量、第2のリード線とにより共振回路を形成する工程と、前記第1のリード線と第2のリード線のいずれか一方に交流成分を含む検査信号を印加する印加工程と、前記第1のリード線と第2のリード線のいずれか他方において、前記検査信号の出力を検出する検出工程とを具備することを特徴とする。

【0016】また、同目的を達成するための請求項20の、第1と第2の端子を基板上に有するパターン線が設けられた基板の、前記第1と第2の端子間の導通を検査

する導通検査方法は、第1のリード線に接続された誘導性素子を第1の電極を介して前記第1の端子と非接触方式で容量結合させ、第2のリード線を第2の電極を介して前記第2の端子と非接触方式で容量結合させることにより、前記第1のリード線、誘導性素子、第1の電極、結合容量、第1の端子、パターン線、第2の端子、第2の電極、結合容量、第2のリード線とにより共振回路を形成する工程と、前記第1のリード線と第2のリード線のいずれか一方に交流成分を含む検査信号を印加する印加工程と、前記第1のリード線と第2のリード線のいずれか他方において、前記検査信号の出力を検出する検出工程とを具備することを特徴とする。

【0017】結合容量のみを有する従来例と上記構成とを比較すると、インダクタンスLが設けられていない場合には、結合容量Cを例えば、10fF、使用周波数を10kHzとすると、回路の出力インピーダンスは、 $1/(2fC) = 1/(2 \times 3.14 \times 10^4 \times 10^{-14}) = 1.6 \text{ G}\Omega$ となり、パターン線の抵抗値測定は不可能に近い。周波数fを100MHzとすると、インピーダンスは $1/(2 \times 3.14 \times 10^8 \times 10^{-14}) = 159 \text{ k}\Omega$ と下げることができるが、周波数をこのような高周波に上げるとコスト的に見て現実的ではない。即ち、最適な周波数を選択することが肝要である。

【0018】そこで、特に導通検査方法に係る請求項24に依れば、更に、基準周波数決定工程を有し、この基準周波数決定工程は、前記印加工程に先立って、所定の基準基板に対して前記検査信号の周波数を変更しながら印加することにより、前記基準基板の第1の端子と第2の端子間のパターン線についての共振周波数を決定する決定工程を有し、前記印加工程は、この共振周波数を検査信号の周波数として、第1のリード線と第2のリード線のいずれか一方に印加することを特徴とする。

【0019】上記周波数の変更範囲は前もって決めておく必要がある。特に、請求項25に依れば、前記決定工程においては、前もって前記誘導素子の定数に基づいて決定した標準周波数を中心にした所定範囲内で、基準基板用の検査信号の周波数を変動させることを特徴とする。基準の基板と実際の検査対象に基板には差が発生し、その差異が検出信号に見せかけの相違を生む場合がある。この誤差を補償するために、請求項26に係る方*

$$L = (1/4^2) \times f_0^2 \times [(C_1 C_2)/(C_1 + C_2)] \quad \dots (4)$$

に従って選択する。合成容量 $(C_1 C_2)/(C_1 + C_2)$ は個々の容量 (C_1, C_2) に比して減るから、第5図の実施形態では、第3図実施形態に比して、同じインダクタンスLを用いる限りは、使用周波数fを上げなくてはならないが、電極108側も高い位置決め精度が不要となる効果が得られる。

【0024】尚、第4図の実施形態も、第5図の実施形態でも、検査信号の入力側と出力信号のモニタ側をどち

*法では、前記印加工程においては、前記決定工程において決定された周波数を中心にした所定範囲内で、検査対象の基板用の検査信号の周波数を変動させる

【0020】

【発明の実施の形態】第3図に、本発明の好適な実施形態の動作原理を説明する図を示す。100は検査対象の回路基板であり、その表面にパターン線101が布線されている。パターン線101は2つの端部102、106を有し、原理的には、端部102、106間の長さおよびピッチは問わない。パターン101の端部102にはピンプローブ103が接触され（原理的には、プローブ103は端部102に非接触で容量結合されていても良い）、このプローブ103に交流成分を含む検査信号が印加される。

【0021】パターン101の端部106の近傍には、電極107が配置される。電極107と端部106との間には空間105が形成されて、この空間が容量Cを形成する。電極107にシリーズにインダクタンスLが接続され、このインダクタンスLにおける出力電圧Vをモニタする。入力検査信号の周波数fを、検査対象基板で分布定数回路が成立しないような値 f_0 に選んだ場合には、回路インピーダンスが低くなる条件は、(2)式と同じように、

$$L = (1/4^2) \times f_0^2 \times C \quad \dots (3)$$

となるようにインダクタンスLを選択する。

【0022】インダクタンスLを、第3図のように電極107側に設けるか、あるいは、ピンプローブ103側に設けるかは本質的ではない。従って、第3図において、インダクタンスLをピンプローブ103と交流電源104との間に設けても良い。また、第3図において、電極107を、交流電源側に移動させても良い。このような変形の実施形態では、第4図のように、電極107が交流電源側に移動されている。第4図の例でも、容量CとインダクタンスLとは直列となっているので、(2)式あるいは(3)式がインピーダンスを下げる条件となる。

【0023】さらなる変形の実施形態では、第5図のように、第3図の実施形態のピンプローブ側に更に電極108（結合容量 C_1 ）を設けるものである。電極107の結合容量を C_2 とすると、合成容量を考慮して、インダクタンスLを、

らに取るかは任意である。

【0025】

【実施例】以下、上記実施形態を更に具現化した実施例を詳細に説明する。この実施例は、複数の微細ピッチのパターン線が布線された回路基板を検査する検査装置の例である。第6図は、検査対象の回路基板200の一例を示す。即ち、この回路基板200は、複数のパターン線が布線されており、個々のパターン線の導通状態を検

査するのが実施例の検査装置の目的である。基板200は、図面上で、左から右側にパターン線が布線されており、基板の左側では隣り合うパターン線間のピッチはピンプロブを立てることができる程度とする。また、基板200の右側での隣り合うパターン線間のピッチは、隣り合うパターン線の2つの電極が互いに接触しない程度の間隔を有するものとする。

【0026】第7図は、第6図の回路基板200専用に作成された治具300の例である。治具を専用とするのは、検査対象の基板が千差万別であるからである。即ち、パターン線の形状やピッチ間隔は基板毎に異なり、そのために、ピンプロブや電極を個々のパターン線に対して設けることができるか否かの判断は基板毎に異なるからである。検査信号の入力側でピンプロブを設けることができなければ、第5図の方式を使用せざるを得ず、電極を個々のパターン線に設けることができなければ、複数のパターン線に対して共通の電極を設ける方式を採用せざるを得ないからである。従って、ピンプロブの本数や配置位置、更に、電極の本数や配置位置も千差万別にならざるを得ず、従って、作業の効率化の観点から基板に専用の治具を用いる。

【0027】第7図を参照して、治具300は例えばアクリル板などで本体が構成され、検査対象の基板200の形状に合わせて作成される。第6図の例の基板200専用の治具300の本体には、スプリングで付勢された複数のピンプロブ310（先端が基板を傷つけない程度に先鋭化している）が治具300の左側に設けられており、右側には、個々のパターン線用に設けられた電極350が所定の位置が設定されている。ピンプロブ310や電極350の個々にはリード線が接続されている。

【0028】第8図は、検査システム400の構成をブロック図で示す。この検査システム400は、前述の治具300を用いる例である。コントローラ410は、本システムの全体的なシーケンスおよび制御手順を制御する。即ち、コントローラ410は、検査信号を生成する回路430、1対Nマルチプレクサ、M対1マルチプレクサ、インダクタンス450と抵抗460とA/D変換器470を含むアダプタ480を制御する。

【0029】第8図に示されたシステムでは、第6図の回路基板を対象としているので、マルチプレクサ420は検査信号を入力して、N個のアナログスイッチに分配する。N個のアナログスイッチは基板200のピンプロブの数だけ必要である。マルチプレクサ440はM個（出力ピンの数に等しく、一般的には、M=Nである）のアナログスイッチ出力のいずれか1つを選択して、アダプタ48に出力する。

【0030】アダプタ480は、検査対象の基板200毎に固有のインダクタンス450や抵抗460を有するので、取り外し可能なアダプタ構成とした。次に、第9

図、第10図を参照して本検査システムの制御手順を説明する。この制御手順は、基準ワーク（断線などの不良がないことが確認されているワーク）を測定することにより、基準ワークの個々のパターン線のインピーダンス等を測定し（第9図の制御手順）、検査対象のワークについてのインピーダンスを計測して、この被検査ワークのインピーダンスと基準ワークのインピーダンスとを比較することにより、不良箇所（断線およびハーフショート）を検出（その検出に基づく不良基板の除外）を行う（第10図）ものである。

【0031】第9図のステップS2において、基準のワークをセットする。ステップS4では、この基準ワークに対して治具300をセットする。このセットにより、治具に設けられた複数の電極が検査対象パターン線の端部に非接触で近接する。ステップS6では、カウンタNとカウンタMとを1に初期化する。ステップS8では、発信器430からの検査信号の周波数を基準周波数 f_0 の-10%、即ち、

$$(1 - 1/10) \cdot f_0 = (9/10) \cdot f_0$$

に設定する。ステップS10では、マルチプレクサ420と440とをセットして、カウンタN、Mにより選択されたパターン線に周波数 f_0 の検査信号を印加する。このとき、カウンタNにより指定されたアナログスイッチのみがONして、他のスイッチは接地側にシャントされる。また、マルチプレクサ440では、カウンタMにより指定されたアナログスイッチのみがONして、他のスイッチは接地側にシャントされる。これにより、N番目のアナログスイッチがONして検査信号が値N、Mで指定されたパターン線に印加されて、その線の出力信号がマルチプレクサ440のM番目のアナログスイッチを介してアダプタ480に入力される。

【0032】アダプタ480により検出されたパターン線NMの出力信号 V_{nm} はステップS12で測定されて、コントローラ410の所定のメモリに記憶される。ステップS14では、検査信号の周波数を Δf だけ増加する。この増加した周波数の検査信号により、ステップS12では出力電圧を計測する。この操作をステップS16で、周波数 f が $11/10 \cdot f_0$ を越えるまで繰り返す。ステップS12乃至ステップS16を繰り返すことにより得られた複数の測定値 V_{nm} は第11図に示すように、ピーク値を示すことが予想される。このときに出力信号値を V_{nmR} （添え字のRは基準を表す）とし、周波数を f_{nm} とし、コントローラのメモリに記憶する。ステップS22では、基準力信号値 V_{nmR} から当該電流経路NMのインピーダンス Z_{nm} を求める。

【0033】これらのステップS8乃至ステップS24までの操作を繰り返すにより、任意のパターン線NMについての、基準力信号値 V_{nmR} を与える基準周波数 f_{nm} と、その電流経路NMのインピーダンス Z_{nm} との組合せを得ることができた。これらのデータは組として、メ

10

20

30

40

50

メモリに記憶され、引数NMによりメモリから取り出し可能である。

【0034】第1の制御手順により、検査対象のワークの測定を行う。即ち、ステップS30では検査対象ワークをセットする。ステップS32では治具をこのワークに対してセットする。ステップS34では、カウンタN、Mを初期化する。ステップS36では、前述のメモリから基準周波数 f_{nm} と基準インピーダンス Z_{nm} の組合せを読み出す。ステップS38では、この基準周波数 f_{nm} の検査信号を対象基板のNMパターン線に対して印加する。ステップS49では、このパターン線からの出力信号 V_{nm} を計測することにより、電流経路NMの Z_{nm} を計算する。ステップS42では、このワークのインピーダンス Z_{nm} を

$$Z_{nm} = |Z_{xxx} Z_{nm}|$$

に基づいて計算する。ステップS44では、ステップS42で計算したインピーダンス Z_{nm} が所定の閾値 TH_{nm} を越えているか否かを判断する。インピーダンスが閾値を大きく越えているときは、その電流経路NMは不良と判定し（ステップS46）、越えていないときは正常と判定する。

【0035】ステップS36乃至ステップS52では、全電流経路について上記判定を行う。基板の正常／不良の判定は、1つでも不良の電流経路が存在したならば（これに限らないが）、その基板を不良と判定する。

〈他の実施形態〉上記実施形態では、第3図などに示すように、誘導素子としてのコイル（L）は、電極と回路基板との間に形成された結合容量（C）に対して直列に接続されていたが、第13図のように、Cに対してLを並列に接続して、Cと接地間の電圧を測定するようにしても良い。この接続方法により、共振強度を上げることができ、第8図のシステム構成で第9図、第10図の制御手順に実質的にそのまま採用することができる。

【0036】尚、この際に、共振強度を上げる為に、電流検出抵抗を取り去るようにする。また、上記実施形態と同じように、基準基板を用いて、種々の経路について出力電圧と抵抗値の相関を予め取るようにする。

〈センサの具体例〉第5図、第6図に示したセンサの形状は概念化したものであり、通常、センサ電極の形状は検査対象の経路パターンの形状に合わせることが好ましい。第14図に検査対象の回路基板500の一例を示す。

【0037】第14図において、破線で示された501は将来検査対象の基板に実装されるべき電子装置（LSI等）を示す。この基板500の上には、電子装置501の入出力ピン（不図示）が将来接続されるべき経路パターン500a、500b、500d、500eが設けられている。第15図に、上記経路パターン500a…の検査を行うためのセンサアセンブリ600を示す。即ち、第15図において、センサ電極板そのものは、一

部が切り欠かれた矩形の導電板620である。導電板620は接地電極板610によって囲まれている。また、矩形形状のセンサ電極板620の内部は切り欠かれ、その切り欠かれた内部に同じく接地電極板630が形成されている。矩形形状のセンサ電極板620は、一部が640において切り欠かれ、C字状の形状を有する。切り欠き640は、接地電極板610と630とを同じ接地電位に保つための、電極板610と630と接続する線路を形成する。かくして、センサ電極板620が、シールドとして機能する接地電極板610と630とによって挟まれていることになる。

【0038】コイルLは、第15図に示すように、センサ電極板620と出力端子線650との間にセットされる。上記のようなセンサアセンブリ600は、上記検査対象回路基板500のパターン経路500a…が設けられた面側に接近される。第15図の例では、パターン経路500a…は基板500の下面に設けられているので、センサアセンブリ600は第15図の下側に接近される。第15図において、700はセンサアセンブリ600の基板のセンサ電極が設けられた反対側（第15図の例では下側）に設けられたシールド板である。このシールド板700は、センサの接地電極板610と実質的に同じ大きさを有するが、同図に示されているように、一部に切り欠き730が設けられている。この切り欠き730は、センサ電極板620のパターンに実質的に一致させている。即ち、センサ電極板620については、センサと同じ面で接地電極板610と630とで挟むことによりシールド効果を発揮させ、反対側の面では、上記接地電極板610、630に対応させてシールド板710、720を設け、センサ電極板620に対応させてシールド板を設けないことによりS/N比を向上させている。

【0039】尚、センサ電極板620を略矩形（若しくはC字状形状）としたのは、第14図に示した検査対象基板上には、経路パターン500a…の複数の端部が矩形の辺を形成するように並んでいるためである。従って、検査対象の経路パターンの端部の分布が任意の形状を取っている場合には、その分布形状に合わせたセンサ電極板の形状を作成する。例えば、複数の経路パターン500a…の端部が全体で例えば三角形の各辺に沿って分布している場合には、センサ電極板の形状を、結合容量Cを確保できる程度の幅を有し、上記三角形の各辺に沿った帯形状を有するものとすればよい。

【0040】〈検査システムの設計方法〉上記実施形態の説明から明らかなように、本検査システムの主眼は、共振状態を発生させて、回路全体のインピーダンスを下げることにより出力電圧のレベルを上げることにある。共振状態を発生させるために所定の条件が満たされることが必要であり、その条件に影響を与える要素として、結合容量C（即ち、経路パターンの線幅、センサ電極

10

20

30

40

50

板の面積・幅、パターン・電極間距離)

- ・誘導定数 L
- ・印加周波数 f

がある。明らかに、周波数 f は電気電子的に変更が容易であるので、上記実施形態が採用しているように、共振点を探るのには好適である。しかしながら、結合容量 C の値は一般的に小さいので、共振状態が高い周波数で得られる場合があるが、高い共振点は検査システム全体で動作の不安定や信号ノイズをもたらすので、過度に高い周波数 f を用いるのは好ましくない。

【0041】また、結合容量 C に影響を与える検査対象基板の経路パターンの線幅や長さは変更することが一般的には許されないものである。そこで、提案されるべきシステムの設計方法は、

I： まず、検査対象基板の経路パターンの線幅や長さ、さらにはセンサ電極の大きさ・面積を考慮して、結合容量 C が50fF～1pF程度に収まるように、センサ電極を設計する。

II： 次に、共振周波数が、即ち、発信器の基本周波数が5MHz～10MHzの範囲内に収まるように、誘導素子 L の値を決定する。実験によれば、誘導素子は、20mH乃至25μHの範囲が好ましい。

【0042】以上の設計方法で設計された検査システムは、システム全体が高周波的に安定しており、また最適な共振点も容易に見つかるものとなる。

〈変形例〉

M-1： 上記実施形態の検査システムに対して、第1実施形態乃至第3実施形態の検査原理のいずれをも適用可能である。

M-2： 上記実施例では、基準ワークにより基準周波数を求める場合には、標準周波数 f_0 の $\pm 10\%$ ($\pm \delta f$ とする)の範囲で変動させて、ピークを検出していたが、その変動範囲 δf はこれに限られるものではない。

【0043】例えば、連続測定する対象の検査基板が多岐にわたり、基準周波数の変動幅が大きいときは、ピーク探索のための変動幅 $\pm \delta f$ を大きくする必要がある。従って、連続測定する複数の基板、あるいは1枚の基板の複数のパターン線で基準周波数が大きく異なることが予定されているときは、変動幅 $\pm \delta f$ を前もって大きく取る必要がある。但し、変動幅 $\pm \delta f$ を大きくすることは検査に要する時間を増加させるので、その点を考慮して決定する必要がある。

M-3： 上記実施形態では、複数の電流経路(パターン線)の夫々に対して電極を設けていたが、本発明はこれに限定されない。特に、出力側のパターン戦艦のピッチが狭いときは、複数のパターン線に対して共通の電極を設ける必要がある。これにより、電極の数が少なくすることができ、治具を高精度に位置決めする必要性が減少する。

【0044】第12図は、1つの検査基板の全パターン

線を2つの電極107a、107bとにより検査する場合の構成を示す。個々の電極に対して1つのアナログスイッチが必要である。第12図の例では、電極107aがカバーするパターン線の基準周波数と電極107bがカバーするパターン線の基準周波数とが異なるために、夫々に、インダクタンス450a、450bを設けた。基準周波数が大きく異ならないと予想されるときには、インダクタンスを1つに減らすことができ、1つにできる場合には、前記実施例と同じように、そのインダクタンスを第12図と異なって、アダプタ側に移動させることができる。

M-4： インダクタンス L の個数は使用周波数 f に依存する。周波数 f が高いときには、インダクタンス L の設置位置は検査対象に基板に十分に近いことが好ましい。従って、かかる場合には、同じ値の複数のインダクタンスをマルチプレクサ440内においてアナログスイッチの全段に夫々は位置する必要がある。

M-5： 上記実施形態ならびに実施例では、共振状態を現出させるのに、周波数 f を変化させていたが、本発明はこれに限定されず、例えば、結合容量 C またはインダクタンス L を変更させても良い。

【0045】例えば、インダクタンス L を変更する場合には、複数タップのインダクタンスチップをアダプタ480内あるいはマルチプレクサ330内に、あるいは、電極の近傍に直付けにより設ける。結合容量 C を変更する必要性は、例えば、電極の大きさがバラバラの場合に、複数のパターン線(複数の電流経路)に対して共振周波数を一致させるためである。

M-6： インダクタンス L の値は用いる発信器の周波数に応じて決めるべきである。本発明では共振状態においてインピーダンスを測定することが本質であり、共振状態が得られる限りでは、周波数 f を変えても、結合容量 C を変えても、インダクタンス L を変えても達成できる。しかしながら、周波数を上げることは、回路基板全般において漏れ電流を増やすこととなり、測定精度が下がるという問題を発生させる。そこで、共振周波数を上げないで共振状態を得るためには、インダクタンス L の値を大きくするべきである。上記実施形態では、共振周波数を約5MHzに設定している。

【0046】また、共振状態を変更するために結合容量を変更することも可能である。この場合、電極の大きさを変えて結合容量 C を変更することは好ましくないもので、例えば電極が大きくて電極による結合容量 C_0 が大きくて共振が過大になる場合にのみ、別途、共振振幅を避けるための減衰用コンデンサ C_x を C_0 に直列に設けることも必要である。

M-7： 上記実施例では、周波数を、ステップS12乃至ステップS16で、 $\pm 10\%$ の範囲内で変更している間に、ピークが発見されることを前提としている。実際には、ピークが発見できない場合がある。そこで、第9

図のフローチャートを次のように変形することを提案する。

【0047】即ち、1つの変形例は、ピークを検出するのではなく、 $\pm 10\%$ の区間内の最大値を与えた周波数を共振点と見なして、その周波数を基準周波数とするのである。第2の変形例は、ピーク値、即ち、極大値が発見されなかった場合には、極大値が発見されるまで、変動範囲を拡大するように、ステップS16を変更する。

M-8: 上記実施例の、検査対象のワークを検査する手順(第10図)では、基準ワークを用いて得られた基準周波数 f_{RNN} を用いていた。これは、基準ワークと実際の検査ワークとをそれぞれ治具に装着する際に位置ずれが発生していないことを前提としていたからである。しかし、実際には位置ずれをゼロとすることは困難な場合がある。かかる場合には、位置ずれの補正を考慮しないと、位置ずれによるインピーダンスの増加(見かけ上の増加)をパターン線の不良によるインピーダンスの増加と誤判断するおそれがある。そこで、次のように制御手順を変形することを提案する。

【0048】即ち、基準ワークに対して適用されたピーク検出の手順を、実ワークの検査に対しても適用するのである。具体的には、ステップS12乃至ステップS16に類似のステップをステップS38(第10図)に置き換える。このとき、ステップS16の f_0 を、ステップS36で読み出した f_{RNN} に置き換える。換言すれば、 f_{RNN} を中心にして、 $\pm 10\%$ (± 10 の値に限定されないが)の範囲で変動させて、共振状態を発生させるピーク周波数を探索するのである。このような変更は位置ずれに対しても有効に対処できる。

M-9: 本発明では、誘導性素子、即ち、インダクタンス L は実際には種々の形状のものを用いても良い。しかし、使用周波数が比較的高くなる場合には、インダクタンスの取り付けには注意を払わねばならない。

M-10: 本発明では、誘導性素子、即ち、インダクタンス L は実際には種々の形状のものを用いても良い。しかし、使用周波数が比較的高くなる場合には、インダクタンスの取り付けには注意を払わねばならない。第13図は、インダクタンスをコイルとした場合の、そのコイルの取り付け状態を説明する。

M-11: 検査信号は交流成分を有していれば、正弦波に限られず、例えばパルス列、さらには単発パルスでも良い。

*

【図5】



*【0049】

【発明の効果】以上説明したように、本発明の回路基板の導通検査装置および方法によれば、低い周波数での共振状態を現出させることにより回路インピーダンスを下げる事が可能となり、その結果出力信号のSN比を向上させて、精度の高い導通検査を行うことができる。

【0050】特に、接触方式の使用を維持したまま、非接触方式を採用することができるので、プローブの本数を減らすことができ、コストダウンへの寄与が大きい。また、例えば10~100Ω程度の低い抵抗値を導通状態として測定することができた。

【図面の簡単な説明】

【図1】 従来例に係るコンタクト式の検査装置の原理的構成を示す図。

【図2】 従来例に係る非接触式の検査装置の原理的構成を示す図。

【図3】 本発明の実施形態にかかる検査装置の原理的構成を示す図。

【図4】 本発明の他の実施形態にかかる検査装置の原理的構成を示す図。

【図5】 本発明のさらに他の実施形態にかかる検査装置の原理的構成を示す図。

【図6】 実施例装置に用いられる一例としての検査対象基板の外観を示す上面図。

【図7】 実施例装置に用いられる治具の外観を示す側面図、上面図。

【図8】 実施例装置のシステム構成を示す図。

【図9】 実施例装置における全体的制御手順を説明するフローチャート。

【図10】 実施例装置の全体的制御手順を説明するフローチャート。

【図11】 実施例装置におけるピーク探索動作を説明するグラフ図。

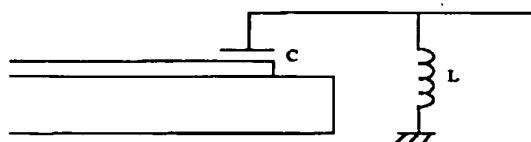
【図12】 変形例に係る検査装置の一部構成を示すブロック図。

【図13】 他の実施形態に従った誘導素子 L と結合容量 C との接続関係を示す図。

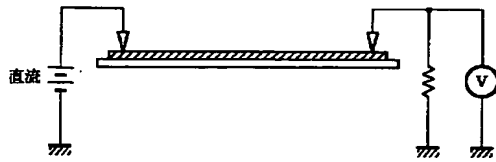
【図14】 検査対象の基板の具体例を示す図。

【図15】 図14の基板を検査するためのセンサ電極板の構成を示す図であって、正面図および側断面図を含む。

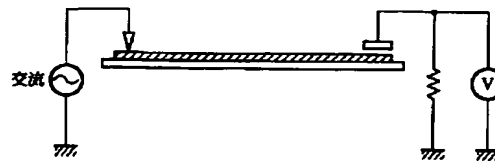
【図13】



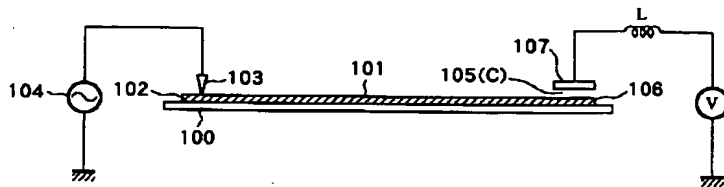
【図1】



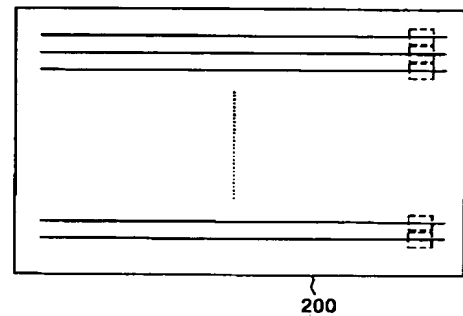
【図2】



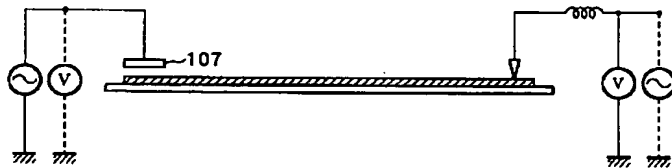
【図3】



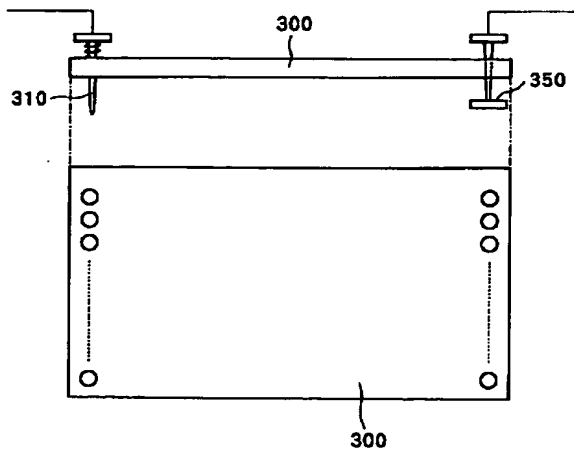
【図6】



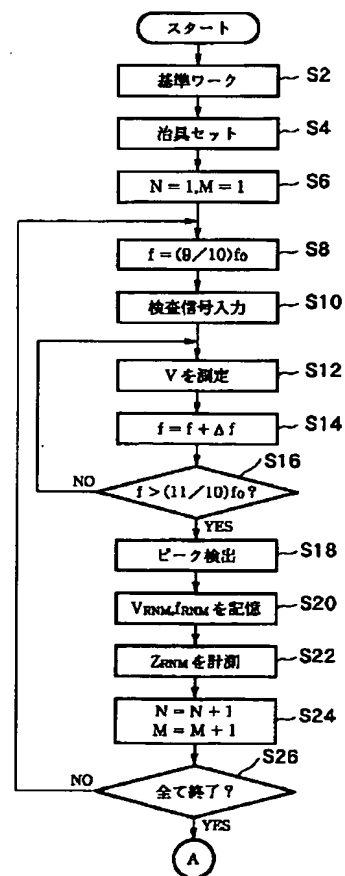
【図4】



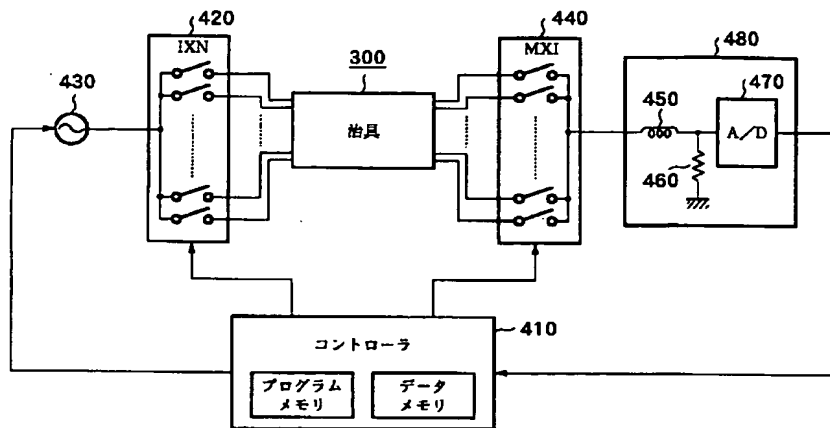
【図7】



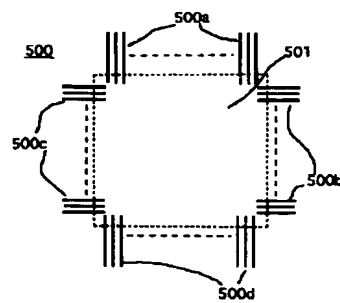
【図9】



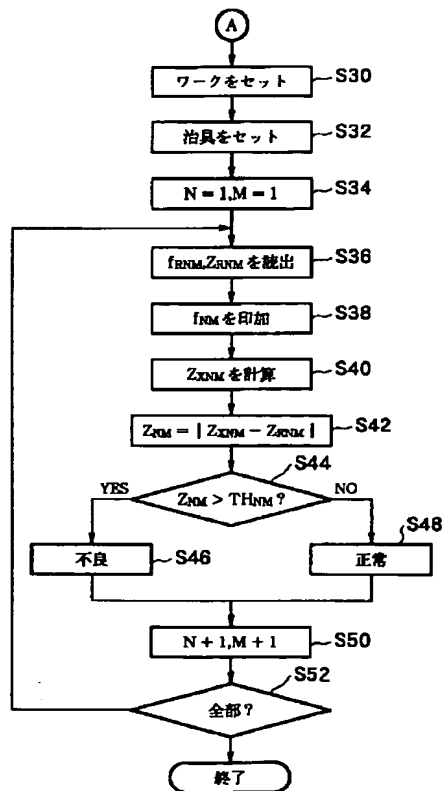
【図8】



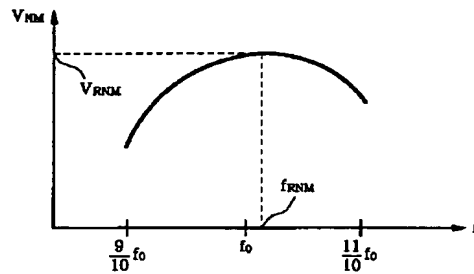
【図14】



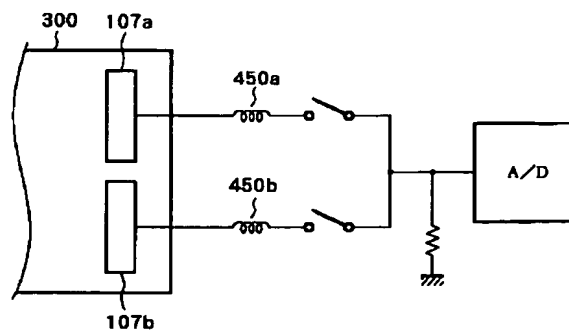
【図10】



【図11】



【図12】



【図15】

